



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

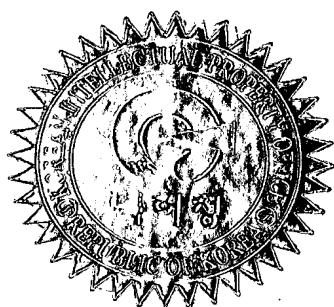
출 원 번 호 : 10-2003-0006023

Application Number

출 원 년 월 일 : 2003년 01월 29일

Date of Application JAN 29, 2003

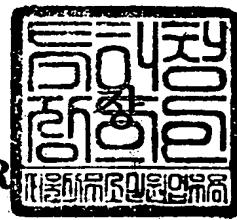
출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 06 월 10 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.01.29
【발명의 명칭】	랜딩 패드를 포함하는 반도체 장치 및 그 제조방법
【발명의 영문명칭】	A SEMICONDUCTOR DEVICE HAVING A LANDING PAD AND FABRICATION METHOD THEREOF
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	박주성
【성명의 영문표기】	PARK, JOO SUNG
【주민등록번호】	601012-1053115
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 신정마을 임광아파트 303-501
【국적】	KR
【발명자】	
【성명의 국문표기】	이윤성
【성명의 영문표기】	LEE, YUN SUNG
【주민등록번호】	710920-1480329
【우편번호】	463-480
【주소】	경기도 성남시 분당구 금곡동 주공아파트 506동 1101호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사를 청구합니다. 대리인 박상수 (인)

1020030006023

출력 일자: 2003/6/11

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	16	면	16,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	18	항	685,000	원
【합계】		730,000	원	
【첨부서류】		1.	요약서·명세서(도면)_1통	

【요약서】**【요약】**

랜딩 패드를 포함하는 반도체 장치 및 그 제조방법을 제공한다. 상기 반도체 장치는 반도체 기판 상에 배치된 배선패턴들을 구비한다. 상기 배선 패턴들의 측벽들은 배선 스페이서들로 덮여진다. 상기 배선 스페이서들을 갖는 반도체 기판의 전면은 물질막으로 덮여진다. 상기 물질막의 소정영역은 패드 콘택홀에 의해 관통된다. 상기 패드 콘택홀은 상기 배선 패턴들 사이의 영역을 지나고 상기 반도체 기판을 노출시킨다. 상기 패드 콘택홀은 상기 배선 패턴들 사이의 영역을 지나는 하부 개구부 및 상기 하부 개구부 상의 상부 개구부로 구성된다. 상기 상부 개구부의 측벽은 베리어막으로 덮여진다. 상기 하부 개구부 및 상기 베리어막으로 둘러싸여진 상기 상부 개구부는 랜딩패드로 채워진다. 상기 패드 콘택홀 및 상기 베리어막을 형성하는 것은 상기 물질막이 소정영역을 부분 식각하여 상기 배선 패턴들의 상부면들과 동일하거나 낮은 바닥면을 갖는 상부 개구부를 형성하는 것과, 상기 상부 개구부의 측벽 상에 상기 베리어막을 형성하는 것과, 상기 상부 개구부 하부의 상기 물질막을 선택적으로 식각하여 상기 배선 패턴들 사이의 영역을 관통하는 상기 하부 개구부를 형성하는 것을 구비한다.

【대표도】

도 12

【색인어】

배선 패턴, 소자분리막, 활성 영역, 베리어 막, 상부 개구부, 하부 개구부, 패드 콘택홀, 랜딩 패드.

【명세서】**【발명의 명칭】**

랜딩 패드를 포함하는 반도체 장치 및 그 제조방법 { A SEMICONDUCTOR DEVICE HAVING A LANDING PAD AND FABRICATION METHOD THEREOF }

【도면의 간단한 설명】

도 1 내지 도 4 는 랜딩 패드를 포함하는 종래의 디램 셀들을 형성하는 방법을 설명하기 위한 단면도들.

도 5 는 본 발명의 실시예에 따른 디램 셀 어레이 영역의 평면도.

도 6 내지 도 12 는 도 5 의 I - I' 를 따라서 취해진 본 발명의 실시예에 따른 디램 셀 어레이 영역의 제조방법을 설명하기 위한 공정 단면도들.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <4> 본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로서, 특히 랜딩 패드를 포함하는 반도체 장치 및 그 제조방법에 관한 것이다.
- <5> 반도체 기억 장치들은 휘발성 기억장치들 및 비휘발성 기억장치들로 분류될 수 있다. 상기 휘발성 기억장치들은 디램 및 에스램을 포함한다. 상기 디램은 에스램에 비하여 높은 집적도를 가지므로 컴퓨터의 기억장치로 널리 사용되고 있다. 상기 디램의 셀 어레이 영역에서 단위 셀은 하나의 셀 커패시터 및 하나의 억세스 트랜지스터로 구성된다.

- <6> 상기 디램의 집적도가 증가함에 따라, 상기 셀 커패시터의 정전용량을 증가시키기 위하여 COB(CAPACITOR OVER BITLINE) 구조를 갖는 디램 셀이 널리 채택되고 있다. 이 경우에, 상기 셀 커패시터는 비트 라인의 상부에 위치한다. 따라서, 디램의 집적도가 증가할수록, 상기 셀 커패시터의 스토리지 노드(하부 전극)를 상기 억세스 트랜지스터의 소오스 영역에 접속시키기 위한 스토리지 노드 콘택홀을 형성하기가 점점 어려워지고 있다.
- <7> 최근에, 상기 스토리지 노드 콘택홀을 형성하기 위한 공정여유도를 증가시키기 위하여 랜딩패드가 널리 채택되고 있다. 상기 랜딩 패드는 상기 스토리지 노드 및 상기 소오스 영역사이에 개재된다.
- <8> 도 1 내지 도 4 는 상기 랜딩 패드를 포함하는 종래의 디램 셀들을 형성하는 방법을 설명하기 위한 단면도이다.
- <9> 도 1 을 참조하면, 반도체 기판(1)의 소정 영역에 소자 분리막(3)을 형성하여 활성 영역(3a)을 한정한다. 상기 활성영역(3a) 상에 게이트 절연막(5)을 형성한다. 상기 게이트 절연막(5)을 갖는 반도체 기판의 전면상에 도전막 및 캐핑막을 차례로 형성한다. 상기 캐핑막 및 도전막을 패터닝하여 상기 활성영역(3a)의 상부를 가로지르는 복수개의 워드라인 패턴(10)들을 형성한다. 이에 따라, 상기 워드라인 패턴(10)들의 각각은 차례로 적층된 워드라인(게이트 전극; 7) 및 캐핑막 패턴(9)으로 구성된다. 상기 워드라인 패턴(10)들중 한 쌍의 워드라인 패턴(10)들이 상기 활성영역(3a)의 상부를 가로지른다. 상기 워드라인 패턴(10)들 및 소자분리막(3)을 이온주입 마스크로 사용하여 상기 활성영역(3a) 내에 불순물 이온들을 주입하여 하

나의 공통 드레인 영역(11d)과 아울러서 제 1 및 제 2 소오스 영역들(11s', 11s")을 형성한다. 상기 워드라인 패턴(10)들의 측벽들 상에 스페이서(13)들을 형성한다. 상기 캐핑막 패턴(9)들 및 스페이서(13)들은 실리콘 질화막으로 형성한다.

<10> 도 2 를 참조하면, 상기 스페이서(13)들을 포함하는 반도체 기판의 전면상에 충간 절연막(15)을 형성한다. 상기 충간절연막(15)을 패터닝하여 상기 공통 드레인 영역(11d)을 노출시키는 비트라인 패드 콘택홀(17d)과 아울러서 상기 제 1 및 제 2 소오스 영역들(11s', 11s")을 각각 노출시키는 제 1 및 제 2 스토리지 노드 패드 콘택홀들(17s', 17s")을 형성한다. 상기 충간절연막(15)은 일반적으로 실리콘 산화막으로 형성한다. 상기 패드 콘택홀들(17d, 17s', 17s")을 형성하는 동안 상기 캐핑막 패턴(9)들 및 상기 스페이서(13)들은 식각저지막 역할을 한다. 상기 패드 콘택홀들(17d, 17s', 17s") 사이에는 상기 충간절연막(15)으로 이루어진 격리막(SE PERATION LAYER; 15a)들이 존재한다.

<11> 도 3 을 참조하면, 상기 패드 콘택홀들(17d, 17s', 17s") 내부에 잔존하는 폴리머 및 자연산화막을 제거하기 위하여 상기 패드 콘택홀들(17d, 17s', 17s")을 갖는 반도체 기판의 표면을 산화막 식각용액을 사용하여 세정한다. 그 결과, 상기 격리막(15a)들의 폭이 감소한다. 상기 세정 공정을 과도하게 실시할 경우에는, 상기 격리막(15a)들의 소정영역에 관통홀(THROUGH HOLE; 15a")이 형성되거나 상기 격리막(15a)들이 제거될 수도 있다. 상기 세정공정이 완료된 반도체 기판의 전면상에 도전막(19)을 형성한다.

<12> 도 4 를 참조하면, 상기 충간절연막(15)이 노출될 때까지 상기 도전막(19)을

평탄화시키어 상기 패드 콘택홀들(17d, 17s', 17s") 내에 각각 비트라인 패드(19d), 제 1 스토리지 노드 패드(19s') 및 제 2 스토리지 노드 패드(19s")를 형성한다. 상기 비트라인 패드(19d), 제 1 스토리지 노드 패드(19s') 및 제 2 스토리지 노드 패드(19s")는 "랜딩패드들"이라 불리운다. 상기 세정공정이 과도하게 실시된 경우에, 상기 랜딩패드들(19d, 19s', 19s")은 도 4에 도시된 바와 같이 서로 연결된다.

<13> 상술한 바와 같이 종래 기술에 따르면, 상기 랜딩패드들을 형성하기 전에 상기 세정공정을 과도하게 실시하기가 어렵다. 다시 말해서, 상기 세정공정에 대한 공정여유도 가 감소하여 랜딩패드들 각각의 콘택저항을 개선시키기가 어렵다.

<14> 한편, 미국특허공보 제 6,117,757 호(U.S PATENT No. 6,117,757)에 "비트라인과 노드 콘택을 위한 랜딩패드들의 형성방법(METHOD OF FORMING LANDING PADS FOR BIT LINE AND NODE CONTACT)"이라는 제목으로 출안 후 왕과 벤자민 츄 민 린(CHUAN-FU WANG & BENJAMIN SZU-MIN LIN)에 의해 랜딩패드들 및 그 형성방법이 개시된 바 있다.

<15> 상기 미국특허공보 제 6,117,757 호에 따르면, 반도체 기판에 다층 구조의 게이트 패턴(GATE)들과 상기 게이트 패턴들의 양 측벽에 제 1 스페이서(SPACER)를 형성시킨다. 계속해서, 상기 게이트 패턴들과 상기 제 1 스페이서를 갖는 반도체 기판상에 제 1 유전막을 증착시키고 상기 제 1 유전막을 패터닝하여 셀프 얼라인(SELF-ALIGN) 방식으로 상기 반도체 기판 상에 콘택 개구부(CONTACT OPENING)를 형성시킨다. 그리고, 상기 콘택 개구부를 갖는 상기 반도체 기판의 전면 상에 제 2 유전막을 증착 및 에칭 백하여 상기 콘택 개구부의 측벽에 제 2 스페이서를 형성시킨다. 이어서, 상기 반도체 기판의 전면 상에 도전막 증착 및 상기 도전막을 패터닝하여 상기 제 1 유전막 상부면과 상기 제 2

스페이서 상부를 노출시킴과 아울러서 비트라인(BIT-LINE)들과 랜딩 패드(LANDING PAD)들을 형성시킨다.

<16> 그러나, 상기 랜딩패드들 및 그 형성방법은 게이트 패턴들의 피치가 고정된 상황에서 상기 제 2 스페이서의 형성으로 상기 콘택 개구부의 폭을 더욱 좁게하여 상기 비트라인과 상기 반도체 기판, 상기 랜딩패드와 상기 반도체 기판간의 접촉 저항들을 증가시킨다.

<17> 또한, 상기 랜딩패드들 및 그 형성방법은 반도체 장치의 디자인 률이 축소될수록 상기 비트라인과 상기 랜딩패드들간의 쇼트의 가능성을 내포하고 있다.

【발명이 이루고자 하는 기술적 과제】

<18> 본 발명이 이루고자 하는 기술적 과제는 패드 콘택홀들 사이의 쇼트를 방지하는 데 적합한 반도체 장치 및 그 제조방법을 제공하는데 있다.

<19> 본 발명이 이루고자 하는 다른 기술적 과제는 패드 콘택홀들 사이의 쇼트를 방지하는데 적합한 디램 셀 어레이 영역 및 그 제조방법을 제공하는데 있다.

【발명의 구성 및 작용】

<20> 상기 기술적인 과제들을 구현하기 위하여 본 발명은 랜딩 패드를 포함하는 반도체 장치 및 디램 셀 어레이 영역을 제공한다.

<21> 본 발명의 일 양태에 따르면, 상기 반도체 장치는 반도체 기판 상에 형성된 배선 패턴들을 포함한다. 상기 배선 패턴들의 각각은 차례로 적층된 배선 및 배선

캐핑막 패턴으로 구성된다. 상기 배선 패턴들의 측벽들은 배선 스페이서들로 덮여진다. 상기 배선 스페이서들을 갖는 반도체 기판의 전면은 물질막으로 덮여진다. 상기 배선 패턴들 사이의 상기 반도체 기판은 상기 물질막의 소정영역을 관통하는 패드 콘택홀에 의해 노출된다. 상기 패드 콘택홀은 상기 배선 패턴들 사이의 영역을 관통하는 하부 개구부 및 상기 하부 개구부 상에 위치하는 상부 개구부를 포함한다. 상기 상부 개구부의 측벽은 베리어막으로 덮여진다. 상기 하부 개구부 및 상기 베리어막으로 둘러싸여진 상기 상부 개구부는 랜딩패드로 채워진다.

<22> 본 발명의 다른 양태에 따르면, 상기 디램 셀 어레이 영역은 반도체 기판의 소정영역에 형성되어 활성영역을 한정하는 소자분리막을 포함한다. 상기 활성영역을 가로질러 제 1 및 제 2 배선 패턴들이 배치된다. 상기 활성영역의 일 단에 인접한 상기 소자분리막 상에 제 3 배선 패턴이 배치된다. 상기 제 3 배선 패턴은 상기 제 1 배선 패턴과 평행하고 상기 제 2 배선 패턴의 반대편에 위치한다. 상기 활성영역의 타 단에 인접한 상기 소자분리막 상에 제 4 배선 패턴이 배치된다. 상기 제 4 배선 패턴은 상기 제 2 배선 패턴과 평행하고 상기 제 1 배선 패턴의 반대편에 위치한다. 상기 제 1 내지 제 4 배선 패턴들의 측벽들은 배선 스페이서들로 덮여진다. 상기 배선 스페이서들을 갖는 반도체 기판은 물질막으로 덮여진다. 상기 제 1 및 상기 제 2 배선 패턴들 사이의 상기 배선 스페이서들과 상기 활성영역은 상기 물질막의 제 1 영역을 관통하는 비트라인 패드 콘택홀에 의해 노출된다. 상기 비트라인 패드 콘택홀은 상기 제 1 및 제 2 배선 패턴들 사이의 영역을 관통하는 하부 비트라인 개구부 및 상기 하부 비트라인 개구부 상에 위치하는 상부 비트라인 개구

부를 포함한다. 그리고, 상기 제 1 및 상기 제 3 배선 패턴들 사이의 상기 배선 스페이서들과 상기 활성영역은 상기 물질막의 제 2 영역을 관통하는 제 1 스토리지 패드 콘택홀에 의해 노출된다. 상기 제 1 스토리지 패드 콘택홀은 상기 제 1 내지 제 3 배선 패턴들 사이의 영역을 관통하는 제 1 하부 스토리지 개구부 및 상기 제 1 하부 스토리지 개구부 상에 위치하는 제 1 상부 스토리지 개구부를 포함한다. 또한, 상기 제 2 및 상기 제 4 배선 패턴들 사이의 상기 배선 스페이서들과 상기 활성영역은 상기 물질막의 제 3 영역을 관통하는 제 2 스토리지 패드 콘택홀에 의해 노출된다. 상기 제 2 스토리지 패드 콘택홀은 상기 제 1 내지 제 3 배선 패턴들 사이의 영역을 관통하는 제 2 하부 스토리지 개구부 및 상기 제 2 하부 스토리지 개구부 상에 위치하는 제 2 상부 스토리지 개구부를 포함한다. 상기 상부 비트라인 개구부와 상기 제 1 상부 스토리지 개구부 및 제 2 상부 스토리지 개구부의 측벽들 상에 베리어막들이 덮여진다. 상기 베리어막들을 갖는 반도체 기판의 상기 비트라인 패드 콘택홀과 상기 제 1 스토리지 패드 콘택홀 및 상기 제 2 스토리지 패드 콘택홀은 각각이 비트라인 랜딩 패드와 제 1 스토리지 랜딩 패드 및 제 2 스토리지 랜딩 패드로 채워진다.

<23> 상기 기술적인 과제들을 구현하기 위하여 본 발명은 랜딩 패드를 포함하는 반도체 장치의 제조방법과 디램 셀 어레이 영역의 제조방법을 제공한다.

<24> 본 발명의 일 양태에 따르면, 상기 반도체장치의 제조방법은 반도체 기판 상에 배선 패턴들과 상기 배선패턴들의 측벽들에 배선 스페이서들을 형성한다. 상기 반도체 기판의 전면 상에 물질막을 증착한다. 상기 물질막의 소정영역을 부분식각

하여 서로 인접한 상기 배선패턴들 사이의 영역 상에 상부 개구부를 형성한다. 상기 상부 개구부는 상기 배선들 각각의 상부면과 동일하거나 낮은 바닥면을 갖도록 형성한다. 상기 상부 개구부의 측벽 상에 베리어 막을 형성한다. 상기 베리어 막에 의해 둘러싸여 진 상기 상부 개구부 아래의 상기 물질막을 식각하여 상기 배선 패턴들 사이의 영역을 관통하면서 상기 배선 패턴들을 노출시키는 하부 개구부를 형성한다. 상기 하부 개구부 및 상부 개구부를 채우는 랜딩 패드를 형성한다.

<25> 본 발명의 다른 양태에 따르면, 상기 디램 셀 어레이 영역의 제조방법은 반도체 기판의 소정영역에 소자분리막으로 활성영역을 한정한다. 상기 활성영역의 상부에 제 1 내지 제 4 배선 패턴들을 형성한다. 즉, 상기 활성영역의 일 단에 인접한 상기 소자분리막의 상부에 형성하되, 상기 제 1 배선 패턴과 평행하고 상기 제 2 배선 패턴의 반대편에 상기 제 3 배선 패턴을 형성한다. 동시에, 상기 활성영역의 타 단에 인접한 상기 소자분리막의 상부에 형성하되, 상기 제 2 배선 패턴과 평행하고 상기 제 1 배선 패턴의 반대편에 상기 제 4 배선 패턴을 형성한다. 상기 제 1 내지 제 4 배선 패턴들의 측벽들 상에 배선 스페이서들을 형성한다. 상기 배선 스페이서들을 갖는 반도체 기판의 전면을 덮는 물질막을 형성한다. 상기 물질막의 상기 제 1 영역을 부분식각하여 상기 제 1 및 제 2 배선 패턴들 사이의 영역에 상부 비트라인 개구부를 형성한다. 그리고, 상기 물질막의 상기 제 2 영역을 부분식각하여 상기 제 1 및 제 3 배선 패턴들 사이의 영역에 제 1 상부 스토리지 개구부를 형성한다. 상기 상부 비트라인 개구부 및 상기 제 1 상부 스토리지 개구부와 아울러서 상기 물질막의 상기 제 3 영역을 부분식각하여 상기 제 2 및 제 4 배선 패

턴들 사이의 영역에 제 2 상부 스토리지 개구부를 형성한다. 이때에, 상기 상부 비트라인 개구부와 상기 제 1 상부 스토리지 개구부 및 상기 제 2 상부 스토리지 개구부는 상기 배선 패턴들 각각의 상부면과 동일하거나 낮은 바닥면을 갖도록 형성한다. 상기 상부 비트라인 개구부와 상기 제 1 상부 스토리지 개구부 및 상기 제 2 상부 스토리지 개구부의 측벽들 상에 베리어 막들을 형성한다. 상기 베리어 막들에 의해 둘러싸여진 상기 상부 비트라인 개구부와 상기 제 1 상부 스토리지 개구부 및 상기 제 2 상부 스토리지 개구부 아래의 상기 물질막을 식각한다. 상기 물질막의 식각으로, 상기 제 1 및 제 2 배선 패턴들 사이의 영역과 상기 제 1 및 제 3 배선 패턴들 사이의 영역 및 상기 제 2 및 제 4 배선 패턴들 사이의 영역을 관통하면서 상기 배선 패턴들을 노출시키는 하부 비트라인 개구부, 제 1 하부 스토리지 개구부, 및 제 2 하부 스토리지 개구부를 동시에 형성한다. 상기 하부 및 상부 비트라인 개구부들, 상기 제 1 하부 및 상부 스토리지 개구부들, 상기 제 2 하부 및 상부 스토리지 개구부들 각각을 채우는 비트라인 랜딩 패드, 제 1 스토리지 랜딩 패드, 및 제 2 스토리지 랜딩 패드를 형성한다.

<26> 이하. 본 발명의 실시예에 따른 디램 셀 어레이 영역 및 제조방법을 첨부된 도면들을 참조하여 상세히 설명하기로 한다.

<27> 도 5 는 본 발명에 따른 디램 셀 어레이 영역의 일부분을 보여주는 평면도이고, 도 6 은 도 5 의 I - I ' 에 따라 취해진 단면도이다.

<28> 도 5 와 도 6 을 참조하면, 반도체 기판(100)의 소정영역에 소자분리막(102)이 형성된다. 상기 소자분리막(102)은 활성영역(101)을 한정한다. 상기 활성영역

(101) 및 상기 소자분리막(102)을 가로질러 제 1 내지 제 4 평행한 배선 패턴들(115a, 115b, 115c, 115d)이 배치된다. 상기 제 1 및 제 2 배선 패턴들(115a, 115b)은 상기 활성영역(101)의 상부를 가로지르고, 상기 제 3 및 제 4 배선 패턴들(115c, 115d)은 상기 소자분리막(102)을 가로지른다. 상기 제 3 배선 패턴(115c)은 상기 제 1 배선 패턴(115a)과 인접하고 상기 제 2 배선 패턴(115b)의 반대편에 위치한다. 또한, 상기 제 4 배선 패턴(115d)은 상기 제 2 배선 패턴(115b)에 인접하고 상기 제 1 배선 패턴(115a)의 반대편에 위치한다.

<29> 상기 제 1 내지 제 4 배선 패턴들(115a, 115b, 115c, 115d)의 에지(EDGE)들에는 N-형 영역(116)들이 오버랩되도록 배치된다. 상기 제 1 내지 제 4 배선 패턴들(115a, 115b, 115c, 115d)의 측벽들은 배선 스페이서(112)들로 덮여진다. 상기 배선 스페이서(112)들을 갖는 반도체 기판은 물질막(126')으로 덮여진다. 상기 물질막(126')은 차례로 적층된 격리용 층간절연막(118)과 격리용 식각저지막(121)을 포함한다.

<30> 상기 물질막(126')의 제 1 내지 제 3 영역들(B, A, C)과 아울러서 상기 제 1 내지 제 4 배선 패턴들(115a, 115b, 115c, 115d) 사이의 대응된 영역들을 관통하는 패드 콘택홀(137)들이 배치된다. 즉, 상기 패드 콘택홀(137)들은 상기 제 1 영역(B)에서 하부 비트라인 개구부(135b)와 상부 비트라인 개구부(130b)로 구성된 비트라인 패드 콘택홀(137b), 상기 제 2 영역(A)에서 제 1 하부 스토리지 개구부(135a)와 제 1 상부 스토리지 개구부(130a)로 구성된 제 1 스토리지 패드 콘택홀(137a), 상기 제 3 영역(C)에서 제 2 하부 스토리지 개구부(135c)와 제 2 상부 스토리지 개구부(130c)로 구성된 제 2 스토리지 패드 콘택홀(137c)을 포함한다. 상기 상부 비트라인 개구부(135b)와 상기 제 1 상부

스토리지 개구부(135a) 및 상기 제 2 상부 스토리지 개구부(135c)의 측벽들에는 베리어 막(133a)들로 덮여진다.

<31> 상기 비트라인 패드 콘택홀(137b)과 상기 제 1 스토리지 패드 콘택홀(137a) 및 상기 제 2 스토리지 패드 콘택홀(137c)은 각각 비트라인 랜딩 패드(138b) 와 제 1 스토리지 랜딩 패드(138a) 및 제 2 스토리지 랜딩 패드(138c)로 채워진다.

<32> 도 7 내지 도 12 는 도 5 의 I - I ' 를 따라서 취해진 본 발명의 실시예에 따른 디램 셀 어레이 영역의 제조방법을 설명하기 위한 공정 단면도들이다.

<33> 도 7 와 도 8 을 참조하면, 활성영역(101)을 한정하는 소자분리막(102)이 형성된 반도체 기판을 준비한다. 상기 활성영역(101)과 상기 소자분리막(102)을 갖는 반도체 기판상에 도핑된 폴리 실리콘막(103)과 WSi 막(106) 및 캐핑용 절연막(109)을 순차적으로 형성한다. 이어서, 상기 캐핑용 절연막(109)과 WSi 막(106) 및 도핑된 폴리 실리콘막(103)을 차례대로 패터닝하여 배선 패턴(115)들을 형성한다. 이때에, 상기 도핑된 폴리 실리콘막(103)과 상기 WSi 막(106)은 배선들을 형성하고, 상기 캐핑용 절연막(109)은 캐핑막 패턴들을 형성한다. 상기 캐핑용 절연막(109)은 질화막으로 형성한다. 상기 배선 패턴(115)들은 도 5 와 같이 분리되어 형성된다. 상기 활성영역(101)의 상부를 가로지르는 제 1 및 제 2 배선 패턴들(115a, 115b)을 형성한다. 상기 활성영역(101)의 일 단에 인접한 상기 소자분리막(102)의 상부를 가로지르되, 상기 제 1 배선 패턴(115a)과 평행하고 상기 제 2 배선 패턴(115b)의 반대편에 위치된 제 3 배선 패턴(115c)을 형성한다. 그리고, 상기 활성영역(101)의

타 단에 인접한 상기 소자분리막(102)의 상부를 가로지르되, 상기 제 2 배선 패턴(115b)과 평행하고 상기 제 1 배선 패턴(115a)의 반대편에 위치된 제 4 배선 패턴(115d)을 형성한다. 본 발명의 실시예에서, 상기 배선 패턴(115)들은 워드라인 패턴들에 해당한다.

<34> 상기 배선 패턴(115)들을 갖는 반도체 기판상에 콘포멀하게 스페이서용 절연막(도면에 미 도시)을 형성한다. 상기 스페이서용 절연막은 질화막으로 형성한다. 그리고, 상기 스페이서용 절연막을 에칭백(ETCHING BACK)하여 상기 배선 패턴(115)들의 측벽들 상에 배선 스페이서(112)들을 형성한다. 본 발명의 실시예에서, 상기 배선 스페이서(112)들은 워드라인 스페이서들에 해당한다. 그리고, 상기 배선 패턴(115)들과 상기 배선 스페이서(112)들은 비트라인 패턴들과 비트라인 스페이서들에 해당될 수도 있다.

<35> 상기 배선 패턴(115)들과 상기 배선 스페이서(112)들을 갖는 반도체 기판 상에 물질막(126)을 형성한다. 상기 물질막(126)은 격리용 절연막(118)과 격리용 식각저지막(121) 및 충간 절연막(124)으로 형성한다. 상기 격리용 식각저지막(121)은 상기 격리용 절연막(118)에 대하여 식각 선택비를 갖는다. 상기 격리용 절연막(118)은 산화막으로 형성되고, 상기 격리용 식각저지막(121)은 질화막으로 형성되는 것이 바람직하다. 상기 격리용 절연막(118)의 두께는 상기 충간 절연막(124)의 두께보다 두껍게 형성한다. 상기 격리용 절연막(118)은 상기 배선 패턴(115)들과 상기 배선 스페이서(112)들을 모두 덮도록 상기 배선 패턴(115)들 상면으로부터 상부로 소정 두께 더 형성한다.

<36> 도 9 를 참조하면, 도 8 의 물질막(126)을 갖는 반도체 기판상에 포토레지스트(PHOTORESIST, 도면에 미 도시)를 도포한다. 포토공정으로 상기 포토레지스트에 도 5 의 제 1 내지 제 3 영역(B, A, C)들과 아울러 제 1 내지 제 4 배선 패턴들(115a, 115b, 115c, 115d) 사이로 얼라인(ALIGN)이 되도록 포토레지스트 패턴(PATTERN)들을 형성한다.

식각공정으로 상기 포토레지스트 패턴들을 이용하여 상기 배선 패턴들(115a, 115b, 115c, 115d) 각각의 상면이 일부분 노출되도록 상기 물질막(126)을 부분식각해서 상부 개구부(130)들을 형성한다. 상기 상부 개구부들은 다음과 같이 분리되어 형성된다. 즉, 상기 물질막(126)의 상기 제 1 영역(B)과 아울러 상기 제 1 및 제 2 배선 패턴들(115a, 115b) 사이의 영역상에 상부 비트라인 개구부(130b)를 형성한다. 상기 물질막(126)의 상기 제 2 영역(A)과 아울러 상기 제 1 및 제 3 배선 패턴들(115a, 115c) 사이의 영역상에 제 1 상부 스토리지 개구부(130a)를 동시에 형성한다. 그리고, 상기 물질막(126)의 상기 제 3 영역(C)과 아울러 상기 제 2 및 제 4 배선 패턴들(115b, 115d) 사이의 영역 상에 제 2 상부 스토리지 개구부(130c)를 상기 상부 비트라인 개구부(130b) 및 상기 제 1 상부 스토리지 개구부(130a)와 함께 형성한다. 또한, 상기 상부 비트라인 개구부(130b) 와 상기 제 1 상부 스토리지 개구부(130a) 및 상기 제 2 상부 스토리지 개구부(130c)는 상기 배선 패턴들(115a, 115b, 115c, 115d) 각각의 상부면과 동일하거나 낮은 바닥면을 갖도록 형성한다.

<37> 상기 상부 개구부(130)들 각각은 상기 배선 패턴(115)들 각각의 상면 상에서 상기 물질막(126)으로 된 소정 폭(W)의 격리막(126a)으로 분리된다. 이때에, 상기 식각공정은 상기 상부 개구부들(130a, 130b, 130c)의 하부로 상기 배선 패턴(115)들 사이에 절연막 패턴(118a)들을 형성한다. 상기 절연막 패턴(118a)들은 도 8 의 격리용 절연막(118)이 부분식각이 되어서 형성된 것이다. 상기 절연막 패턴(118a)은 상기 배선 패턴(115)들의 상면들로부터 상기 반도체 기판(100)을 향하여 소정 깊이(L)로 리세스(RECESS)되게 한다. 왜냐하면, 후속 공정의 영향에 의해서 상기 절연막 패턴(118a)의 식각으로 형성되는 도 5 의 패드 콘택홀들(137) 각각의 콘택 저항이 증가되는 것을 방지하기 위함이다. 상

기 절연막 패턴(118a)의 소정두께(T) 및 소정깊이(L)는 상기 패드 콘택홀(137)들의 콘택 저항들을 미리 체크할 수 있는 척도(尺度)가 될 수 있다.

<38> 도 10 및 도 11 을 참조하면, 도 9 의 상부 개구부(130)들을 갖는 반도체 기판 상에 콘포멀한 베리어용 절연막(133)을 형성한다. 상기 베리어용 절연막(133)은 질화막으로 형성한다. 상기 베리어용 절연막(133)을 이방성으로 에칭 백(ETCHING BACK)하여 상부 비트라인 개구부, 제 1 상부 스토리지 개구부, 및 제 2 상부 스토리지 개구부(130b, 130a, 130c)의 측벽들 상에 베리어 막(133a)들을 형성한다. 상기 베리어 막(133a)들 형성과 이울러 배선 스페이서(112)들 사이의 절연막 패턴(118a)들을 식각하여 하부 개구부(135)들을 형성한다. 이때에, 상기 반도체 기판(100)이 노출된다. 상기 하부 개구부(135)들은 다음과 같이 분리되어 형성된다. 상기 상부 비트라인 개구부(130b) 아래의 상기 절연막 패턴(118a)을 식각하여 제 1 배선 패턴과 제 2 배선 패턴들(115a, 115b) 사이의 영역을 관통하면서 상기 배선 패턴들(115a, 115b)을 노출시키는 하부 비트라인 개구부(135b)를 형성한다. 상기 제 1 상부 스토리지 개구부(130a) 아래의 상기 절연막 패턴(118a)을 식각하여 상기 제 1 배선 패턴과 제 3 배선 패턴(115a, 115c) 사이의 영역을 관통하면서 상기 배선 패턴들(115a, 115c)을 노출시키는 제 1 하부 스토리지 개구부(135a)를 형성한다. 상기 제 2 상부 스토리지 개구부(130c) 아래의 상기 절연막 패턴(118a)을 식각하여 상기 제 2 배선 패턴과 제 4 배선 패턴(115b, 115d) 사이의 영역을 관통하면서 상기 배선 패턴들(115b, 115d)을 노출시키는 제 2 하부 스토리지 개구부(135c)를 상기 하부 비트라인 개구부(135b) 및 상기 제 1 하부 스토리지 개구부(135a)와 함께 형성한다.

<39> 또한, 도 9에서 상기 상부 개구부(130)들의 측벽들은 충간 절연막(124)을 갖는 물질막(126) 및 상기 물질막(126)으로 형성된 격리막(126a)으로 형성된다. 그러나, 상기 하부 개구부들(135a, 135b, 135c) 형성이후에 상기 상부 개구부들(130a, 130b, 130c)의 측벽들은 상기 충간 절연막(124)이 상기 절연막 패턴(118a)과 함께 제거된 물질막(126')과 격리막(126a')으로 형성된다. 이때에, 격리용 식각저지막(121)은 격리용 절연막(118)에 대한 식각을 방지하는 버퍼(BUFFER) 막이다. 따라서, 상기 하부 개구부들(135a, 135b, 135c)은 도 9의 상기 상부 개구부들(130a, 130b, 130c), 상기 상부 개구부들(130a, 130b, 130c)의 측벽에 형성된 도 10의 베리어 막(133a)들을 이용한 셀프 얼라인(SELF-ALIGN) 방식의 개구부들이다.

<40> 상기 배선 패턴들(115a, 115b, 115c, 115d)을 가로지르는 방향을 따라서, 상기 상부 개구부들(130a, 130b, 130c) 각각의 직경(D1)은 상기 하부 개구부들(135a, 135b, 135c) 각각의 직경(D2)보다 크게한다. 상기 상부 개구부(130)들은 상기 배선패턴(115)들 사이에 오버랩(OVERLAP)되도록 형성한다. 상기 하부 개구부들(135a, 135b, 135c) 형성 후에는 전기적 저항을 낮추기 위해서 잔사처리를 하는 것이 바람직하다. 상기 하부 개구부들(135a, 135b, 135c) 및 상기 하부 개구부들(135a, 135b, 135c) 상에 위치한 상기 상부 개구부들(130a, 130b, 130c)은 도 5의 패드 콘택홀들(137a, 137b, 137c)을 형성한다.

<41> 상기 절연막 패턴(118a)을 도 9에서 소정 깊이(L)로 리세스(RECESS)시키는 것은, 상기 베리어 막(133a) 형성시에, 상기 배선 스페이서(112)들 각각의 측벽과 상기 절연막 패턴(118a)들 각각의 상면이 접하는 부위에서 상기 베리어용 절연막(133)의 레지두

(RESIDUE)가 생기는 것을 방지하기 위함이다. 상기 베리어용 절연막(133)의 레지두는 상기 하부 개구부들(135a, 135b, 135c) 각각의 하부 직경(D2)을 작게할 수 있다.

<42> 도 12 를 참조하면, 도 5 의 제 1 영역(B)에 대응된 도 11 의 물질막(126') 상의 영역을 관통하여 제 1 배선 패턴 및 제 2 배선 패턴(115a, 115b) 사이의 활성영역(101) 그리고 상기 배선 스페이서(112)들을 노출시키되, 상기 제 1 및 제 2 배선 패턴들(115a, 115b) 사이의 하부 비트라인 개구부(135b)와 상기 하부 비트라인 개구부(135b) 상에 위치하는 상부 비트라인 개구부(130b)로 구성된 비트라인 패드 콘택홀(137b)를 형성한다. 도 5 의 제 2 영역(A)에 대응된 상기 물질막(126') 상의 영역을 관통하여 상기 제 1 배선 패턴 과 제 3 배선 패턴(115a, 115c) 사이의 상기 활성영역(101) 그리고 상기 배선 스페이서(112)들을 노출시키되, 상기 제 1 및 제 3 배선 패턴(115a, 115c)들 사이의 제 1 하부 스토리지 개구부(135a)와 상기 제 1 하부 스토리지 개구부(135a) 상에 위치하는 제 1 상부 스토리지 개구부(130a)로 구성된 제 1 스토리지 패드 콘택홀(137a)를 동시에 형성한다. 상기 비트라인 패드 콘택홀(137b)과 상기 제 1 스토리지 패드 콘택홀(137a)을 형성함과 아울러서, 도 5 의 제 3 영역(C)에 대응된 상기 물질막(126') 상의 영역을 관통하여 상기 제 2 배선 패턴과 제 4 배선 패턴(115b, 115d) 사이의 상기 활성영역(101) 그리고 상기 배선 스페이서(112)들을 노출시키되, 상기 제 2 및 제 4 배선 패턴들(115b, 115d) 사이의 제 2 하부 스토리지 개구부(135c)와 상기 제 2 하부 스토리지 개구부(135c) 상에 위치하는 제 2 상부 스토리지 개구부(130c)로 구성된 제 2 스토리지 패드 콘택홀(137c)을 형성한다.

<43> 또한, 도 11 의 베리어 막(133a)들과 상기 패드 콘택홀(137)들을 갖는 반도체 기판 상에 소정 두께의 도핑된 패드 막(도면에 미 도시)을 증착한다. 상기 패드막에 에칭백

또는 화학기계적 연마를 진행해서 상기 패드 콘택홀(137)들을 채우는 랜딩 패드(138)들을 형성한다. 상기 랜딩 패드(138)들은 다음과 같이 분리되어 형성된다. 즉, 상기 비트라인 패드 콘택홀(137b), 상기 제 1 스토리지 패드 콘택홀(137a), 및 상기 제 2 스토리지 패드 콘택홀(137c)을 각각 채우는 비트라인 랜딩 패드(138b), 제 1 스토리지 랜딩 패드(138a), 및 제 2 스토리지 랜딩 패드(138c)를 형성한다. 이때에, 격리용 식각저지막(121)은 식각 버퍼(BUFFER)막으로 이용한다. 상기 랜딩 패드(138)들 각각의 높이는 상기 격리막(126a')의 높이 또는 물질막(126')의 높이보다 낮게 컨트롤한다. 상기 랜딩 패드(138)들은 격리용 식각저지막(121)의 밑면보다 낮게 컨트롤되는 것이 바람직하다. 왜냐하면, 상기 랜딩 패드(138)들 간의 쇼트(SHORT)를 방지하기 위함이다.

<44> 그리고, 상기 패드 콘택홀(137)들 형성 이후부터 상기 패드막 증착전까지, 상기 반도체 기판(100)을 세정하기 위한 ◎ 에칭(WET ETCHING, 도면에 미 도시) 공정들이 수행된다. 상기 ◎ 에칭 공정들은 도 10에 절연막 패턴(118a)의 식각공정으로 생긴 부산물(BY-PRODUCT)들과 파티클(PARTICLE)들 및 상기 하부 개구부들(135a, 135b, 135c) 하부에 생긴 자연 산화막 등을 제거하기 위해서 수행된다. 따라서, 종래 기술과 동일하게 격리막(126a') 또는 물질막(126')이 상기 ◎ 에칭으로 식각될 수 있는 우려가 있다.

<45> 그러나, 상기 베리어 막(133a)들은 상기 격리용 식각저지막(121)과 함께 격리용 절연막(118)이 식각되지 않도록 상기 세정들에 대한 버퍼(BUFFER) 막의 역할을 한다. 상기 베리어 막(133a)들과 상기 격리용 식각저지막(121)의 이용은 상기 격리막(126a')의 폭(W)을 도 9에 격리막(126)의 폭(W)으로 유지시켜 주기때문에 상기 ◎ 에칭에 대한 공정 여유도를 종래 기술대비 더 증가시킨다.

<46> 따라서, 상기 베리어 막과 상기 식각 저지막이 형성된 디램 셀 어레이 영역에서는 상기 패드 콘택홀들 사이의 폭(W)를 항상 유지할 수 있고, 상기 디램 셀 어레이 영역을 갖는 반도체 장치는 입력된 셀 데이터들의 손실을 억제하여 상기 반도체 장치의 리프레쉬 특성을 향상시킬 수 있다.

【발명의 효과】

<47> 상술한 바와 같이, 본 발명에 따른 반도체 장치와 셀 어레이 영역 및 그 제조방법은 베리어 막들과 아울러서 격리용 식각저지막을 이용하여 패드 콘택홀들 형성이후부터 패드막 증착전까지 수행된 세정들로 격리용 절연막이 식각되는 것을 막아서 상기 패드 콘택홀들에 형성된 상기 랜딩 패드들간의 물리적 또는 전기적 쇼트를 방지할 수 있다.

【특허 청구범위】**【청구항 1】**

반도체 기판;

상기 반도체 기판 상에 형성되고, 그들의 각각은 차례로 적층된 배선 및 배선 캐
평막 패턴을 갖는 배선 패턴들;

상기 배선 패턴들의 측벽들 상에 형성된 배선 스페이서들;

상기 배선 패턴들 및 상기 배선 스페이서들을 갖는 반도체 기판의 전면을 덮는 물
질막;

상기 물질막의 소정영역과 아울러서 상기 배선 패턴 사이의 영역을 관통하되, 상기
배선 패턴 사이의 하부 개구부 및 상기 하부 개구부 상에 위치하는 상부 개구부로 구성
된 패드 콘택홀;

상기 상부 개구부의 측벽 상에 형성된 베리어 막; 및
상기 하부 개구부과 아울러서 상기 베리어 막에 의해서 둘러싸여진 상기 상부 개구
부를 채우는 랜딩패드를 포함하는 반도체장치.

【청구항 2】

제 1 항에 있어서,

상기 배선 패턴들 및 배선 스페이서들은 워드라인 패턴들과 워드라인 스페이서들인
것이 특징인 랜딩패드를 포함하는 반도체장치.

【청구항 3】

제 1 항에 있어서,

상기 배선 패턴들 및 배선 스페이서들은 비트라인들과 비트라인 스페이서들인 것이 특징인 랜딩패드를 포함하는 반도체 장치.

【청구항 4】

제 1 항에 있어서,

상기 물질막은 차례로 적층된 격리용 절연막과 격리용 식각저지막을 포함하되, 상기 격리용 식각저지막 및 상기 베리어막은 상기 격리용 절연막에 대하여 식각 선택비를 갖는 것이 특징인 반도체 장치.

【청구항 5】

반도체 기판;

상기 반도체 기판의 소정영역에 형성되어 활성영역을 한정하는 소자분리막;

상기 활성영역의 상부를 가로지르는 평행한 제 1 및 제 2 배선 패턴들;

상기 활성영역의 일 단에 인접한 상기 소자분리막의 상부를 가로지르되, 상기 제 1 배선 패턴과 평행하고 상기 제 2 배선 패턴의 반대편에 배치된 제 3 배선 패턴;

상기 활성영역의 타 단에 인접한 상기 소자 분리막의 상부를 가로지르되, 상기 제 2 배선 패턴과 평행하고 상기 제 1 배선 패턴의 반대편에 배치된 제 4 배선 패턴;

상기 제 1 내지 제 4 배선 패턴들의 측벽들 상에 형성된 배선 스페이서들;

상기 배선 스페이서들을 갖는 반도체 기판의 전면을 덮는 물질막;

상기 물질막의 제 1 영역을 관통하여 상기 제 1 및 제 2 배선 패턴들 사이의

상기 활성영역 및 상기 배선 스페이서들을 노출시키되, 상기 제 1 및 제 2 배선 패턴들 사이의 하부 비트라인 개구부 및 상기 하부 비트라인 개구부 상에 위치하는 상부 비트라인 개구부로 구성된 비트라인 패드 콘택홀;

상기 물질막의 제 2 영역을 관통하여 상기 제 1 및 제 3 배선 패턴들 사이의 상기 활성영역 및 상기 배선 스페이서들을 노출시키되, 상기 제 1 및 제 3 배선 패턴들 사이의 제 1 하부 스토리지 개구부 및 상기 제 1 하부 스토리지 개구부 상에 위치하는 제 1 상부 스토리지 개구부로 구성된 제 1 스토리지 패드 콘택홀;

상기 물질막의 제 3 영역을 관통하여 상기 제 2 및 제 4 배선 패턴들 사이의 상기 활성영역 및 상기 배선 스페이서들을 노출시키되, 상기 제 2 및 제 4 배선 패턴들 사이의 제 2 하부 스토리지 개구부 및 상기 제 2 하부 스토리지 개구부 상에 위치하는 제 2 상부 스토리지 개구부로 구성된 제 2 스토리지 패드 콘택홀;

상기 상부 비트라인 개구부, 상기 제 1 상부 스토리지 개구부, 및 상기 제 2 스토리지 개구부의 측벽들 상에 형성된 베리어 막들;

상기 베리어 막들을 갖는 반도체 기판의 상기 비트라인 패드 콘택홀, 상기 제 1 스토리지 패드 콘택홀, 및 상기 제 2 스토리지 패드 콘택홀을 각각 채우는 비트라인 랜딩 패드, 제 1 스토리지 랜딩 패드, 및 제 2 스토리지 랜딩 패드를 포함하는 것을 특징으로 하는 디램 셀 어레이 영역.

【청구항 6】

제 5 항에 있어서,

상기 물질막은 차례로 적층된 산화막 및 질화막을 포함하는 것을 특징으로 한느 디램 셀 어레이 영역.

【청구항 7】

제 5 항에 있어서,

상기 제 1 내지 제 4 배선 패턴들은 차례로 적층된 배선들 및 캐핑막 패턴들을 포함하는 것을 특징으로 하는 디램 셀 어레이 영역.

【청구항 8】

제 7 항에 있어서,

상기 베리어 막들, 상기 배선 스페이서들, 상기 캐핑막 패턴들은 질화막인 것을 특징으로 하는 디램 셀 어레이 영역.

【청구항 9】

반도체 기판 상에 배선 패턴을 형성하고,

상기 배선 패턴들의 측벽들 상에 배선 스페이서들을 형성하고,

상기 배선 스페이서들을 갖는 반도체 기판의 전면 상에 물질막을 형성하고,

상기 물질막의 소정부분을 부분식각하여 서로 인접한 상기 배선 패턴들 사이의 영역 상에 상부 개구부를 형성하고,

상기 상부 개구부의 측벽 상에 베리어 막을 형성하고,

상기 베리어 막에 의해 둘러싸여진 상기 상부 개구부 아래의 상기 물질막을 식각하여 상기 배선 패턴들 사이의 영역을 관통하면서 상기 배선 스페이서들을 노출시키는 하부 개구부를 형성하고,

상기 상부 개구부 및 상기 하부 개구부를 채우는 랜딩 패드를 형성하는 것을 포함하는 반도체 장치의 제조방법.

【청구항 10】

제 9 항에 있어서,

상기 배선 패턴들을 형성하는 것은

상기 반도체 기판 상에 도전막 및 캐핑용 절연막을 차례로 형성하고,

상기 캐핑용 절연막 및 상기 도전막을 연속적으로 패터닝하는 것을 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 11】

제 10 항에 있어서,

상기 캐핑용 절연막 및 상기 배선 스페이서들은 산화막에 대하여 식각 선택비를 갖는 절연막으로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 12】

제 9 항에 있어서,

상기 물질막은 격리용 절연막과 격리용 식각저지막을 차례로 적층시키어 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 13】

제 12 항에 있어서,

상기 격리용 절연막은 산화막으로 형성하고, 상기 격리용 식각저지막은 산화막에 대하여 식각 선택비를 갖는 절연막으로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 14】

제 9 항에 있어서,

상기 베리어 막은 산화막에 대하여 식각 선택비를 갖는 절연막으로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 15】

제 9 항에 있어서,

상기 랜딩 패드를 형성하기 전에,

상기 하부 개구부를 갖는 반도체 기판의 표면을 세정하여 상기 하부 개구부 내에 생성된 자연 산화막 및 폴리머를 제거하는 것을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 16】

제 9 항에 있어서,

상기 상부 개구부는 상기 배선 패턴들 각각의 상부면과 동일하거나 낮은 바닥면을 갖도록 형성되도록 하는 것이 특징인 반도체 장치의 제조방법.

【청구항 17】

반도체 기판의 소정영역을 소자분리막으로 채워서 활성영역을 한정하고,

상기 활성영역의 상부에 평행한 제 1 및 제 2 배선 패턴들을 형성하고,

상기 제 1 및 제 2 배선 패턴과 아울러 동시에 상기 활성영역의 일 단 및 타 단에 각기 인접하도록 상기 소자분리막의 상부에 형성하되, 상기 제 1 게이트 패턴과 평행하고 상기 제 2 배선 패턴의 반대편에 제 3 배선 패턴 그리고 상기 제 2 게이트 패턴과 평행하고 상기 제 1 배선 패턴의 반대편에 제 4 배선 패턴을 형성하고,

상기 제 1 내지 제 4 배선 패턴들의 측벽들 상에 배선 스페이서들을 형성하고,

상기 배선 스페이서들을 갖는 반도체 기판의 전면을 덮는 물질막을 형성하고,

상기 물질막의 제 1 내지 제 3 영역을 부분식각하여 상기 제 1 영역에 대응된 상기 제 1 및 제 2 배선 패턴들 사이의 영역, 상기 제 2 영역에 대응된 상기 제 1 및 제 3 배선 패턴들 사이의 영역, 및 상기 제 3 영역에 대응된 상기 제 2 및 제 4 배선 패턴들 사이의 영역 상에 상부 비트라인 개구부, 제 1 상부 스토리지 개구부, 제 2 상부 스토리지 개구부를 동시에 형성하고,

상기 상부 비트라인 개구부, 상기 제 1 상부 스토리지 개구부, 및 상기 제 2 상부 스토리지 개구부의 측벽들 상에 베리어 막들을 형성하고,

상기 베리어 막들에 의해 둘러싸여진 상기 상부 비트라인 개구부와 상기 제 1 상부 스토리지 개구부 및 상기 제 2 상부 스토리지 개구부 아래의 상기 물질막을 식각하여 상기 제 1 및 제 2 배선 패턴들 사이의 영역, 상기 제 1 및 제 3 배선 패턴들 사이의 영역, 그리고 상기 제 2 및 제 4 배선 패턴들 사이의 영역을 관통하면서 상기 배선 패턴들을 노출시키는 하부 비트라인 개구부, 제 1 하부 스토리지 개구부, 및 제 2 하부 스토리지 개구부를 동시에 형성하고,

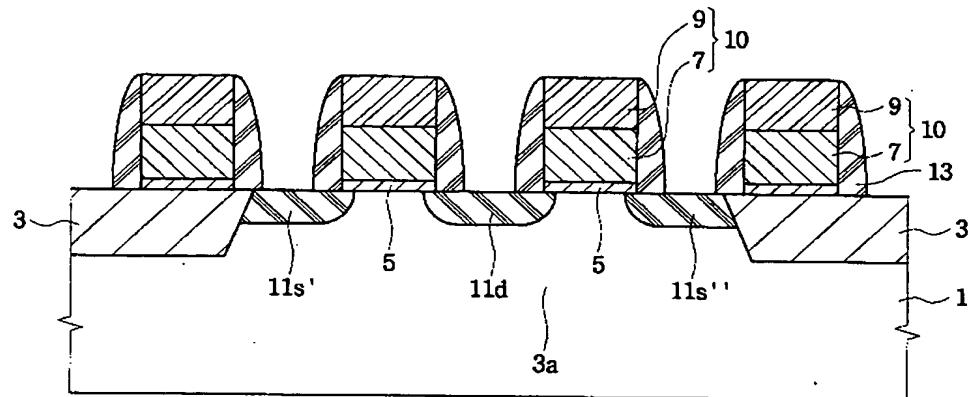
상기 하부 및 상부 비트라인 개구부들, 상기 제 1 하부 및 상부 스토리지 개구부들, 상기 제 2 하부 및 상부 스토리지 개구부들 각각을 채우는 비트라인 랜딩 패드, 제 1 스토리지 랜딩 패드, 및 제 2 스토리지 랜딩 패드를 형성하는 것을 포함하는 디램 셀 어레이 영역의 제조방법.

【청구항 18】

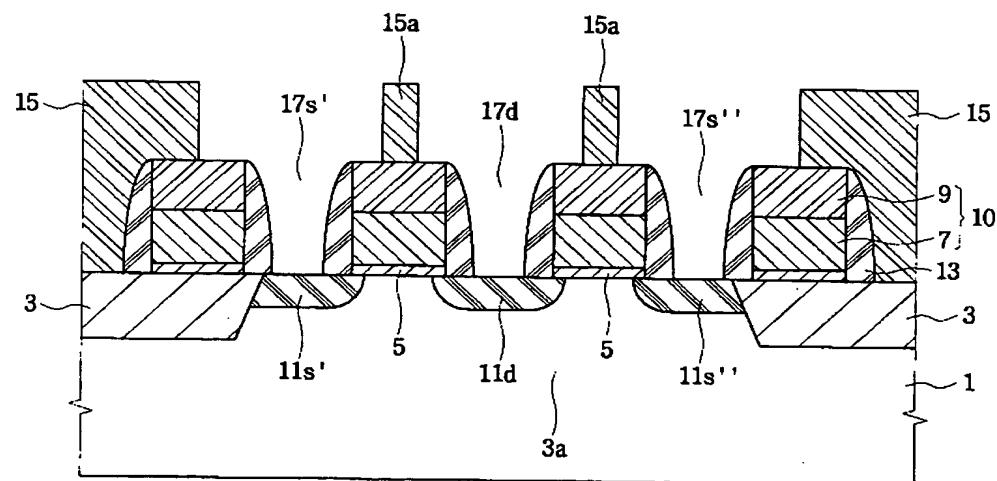
제 17 항에 있어서,
상기 상부 비트라인 개구부와 상기 제 1 상부 스토리지 개구부 및 상기 제 2 상부 스토리지 개구부는 상기 배선 패턴들 각각의 상부면과 동일하거나 낮은 바닥면을 갖도록 형성하는 것이 특징인 디램 셀 어레이 영역의 제조방법.

【도면】

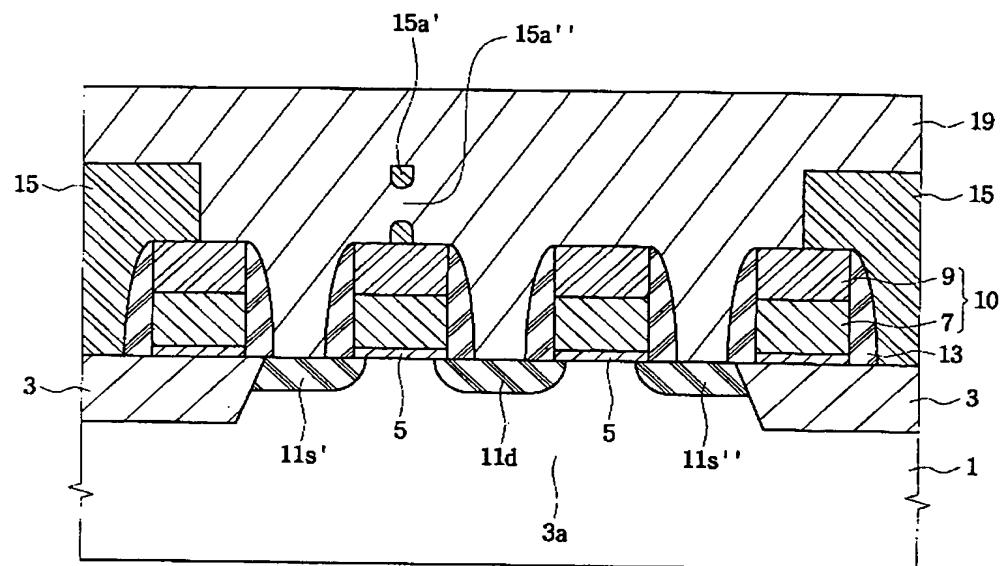
【도 1】



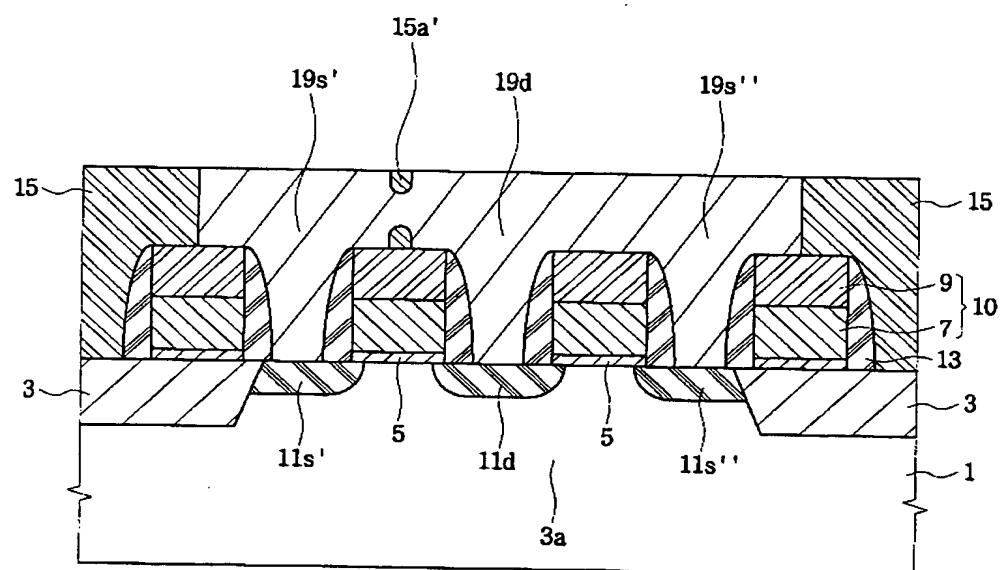
【도 2】



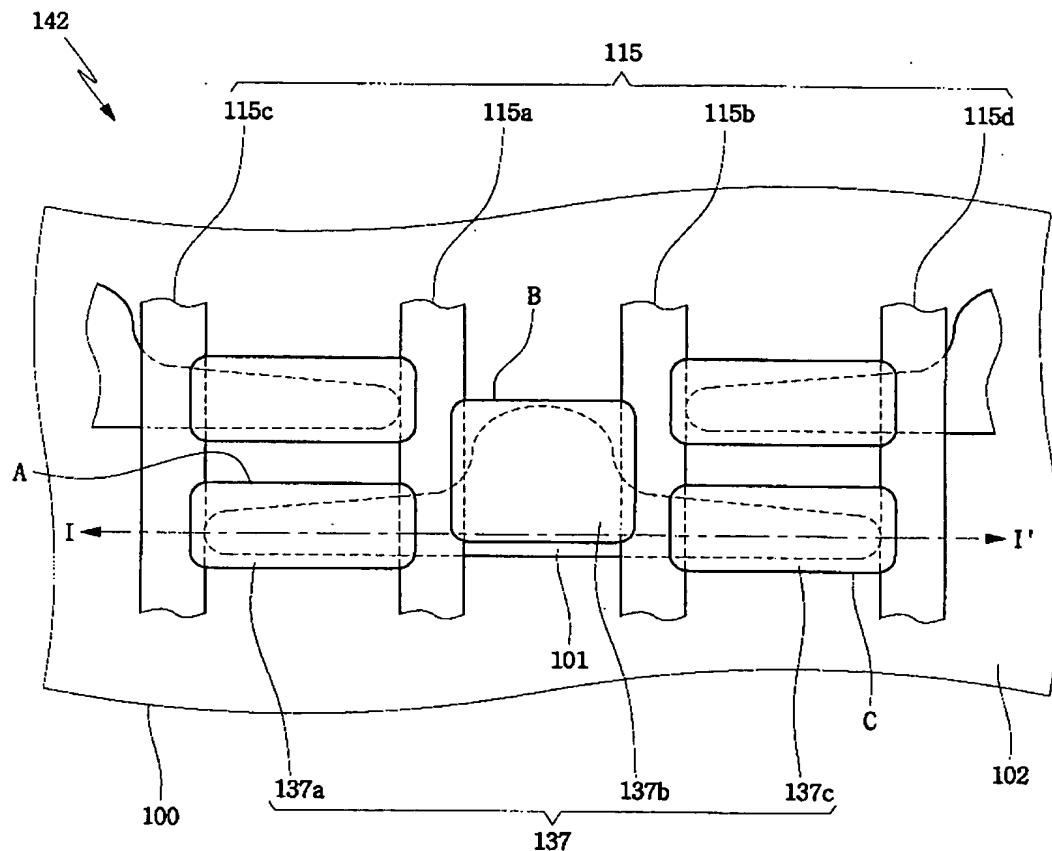
【도 3】



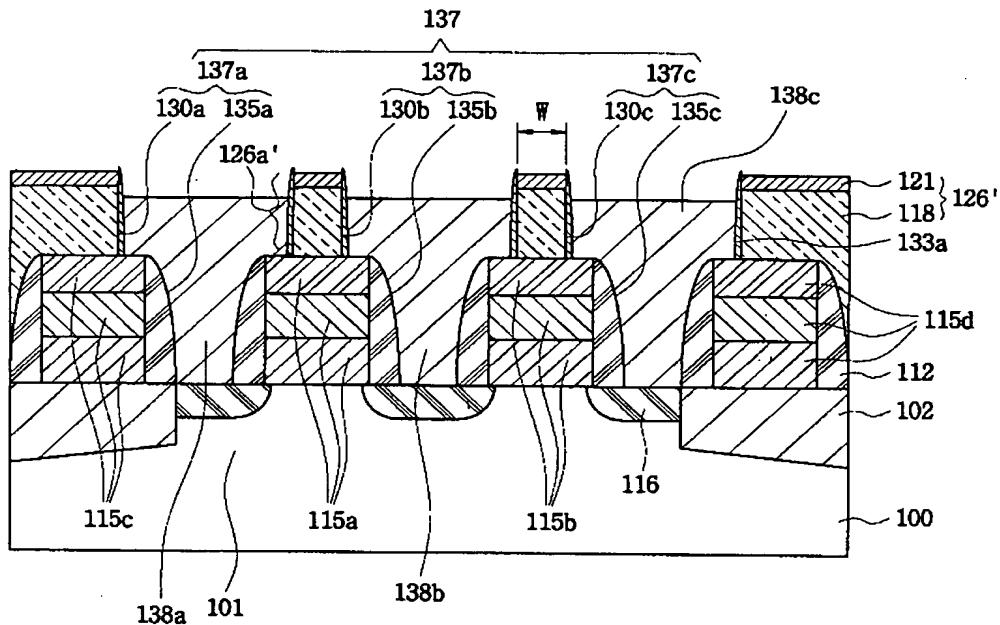
【도 4】



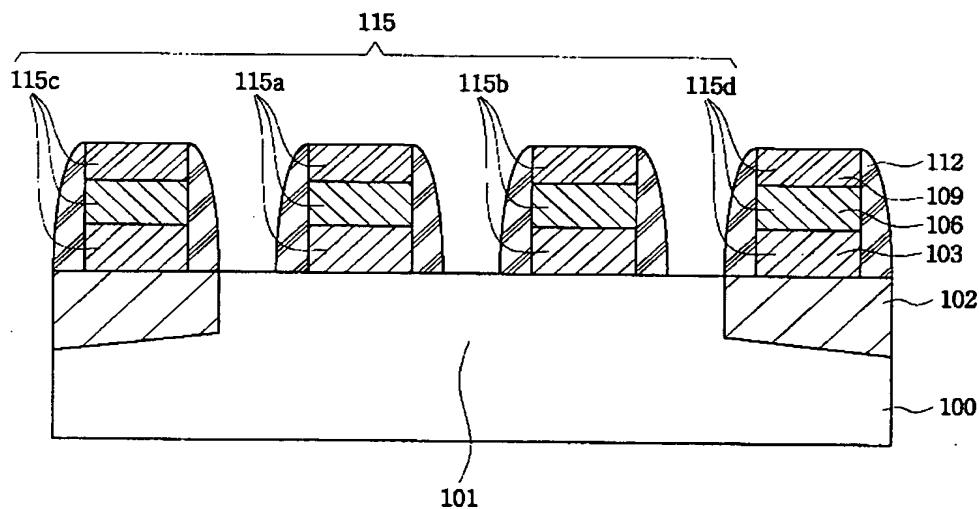
【도 5】



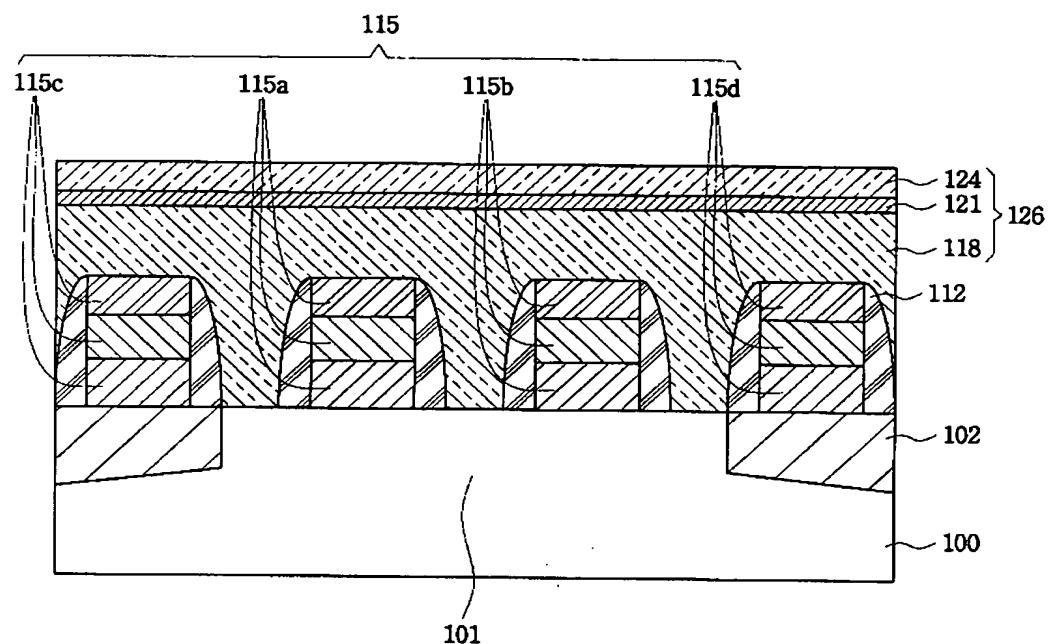
【도 6】



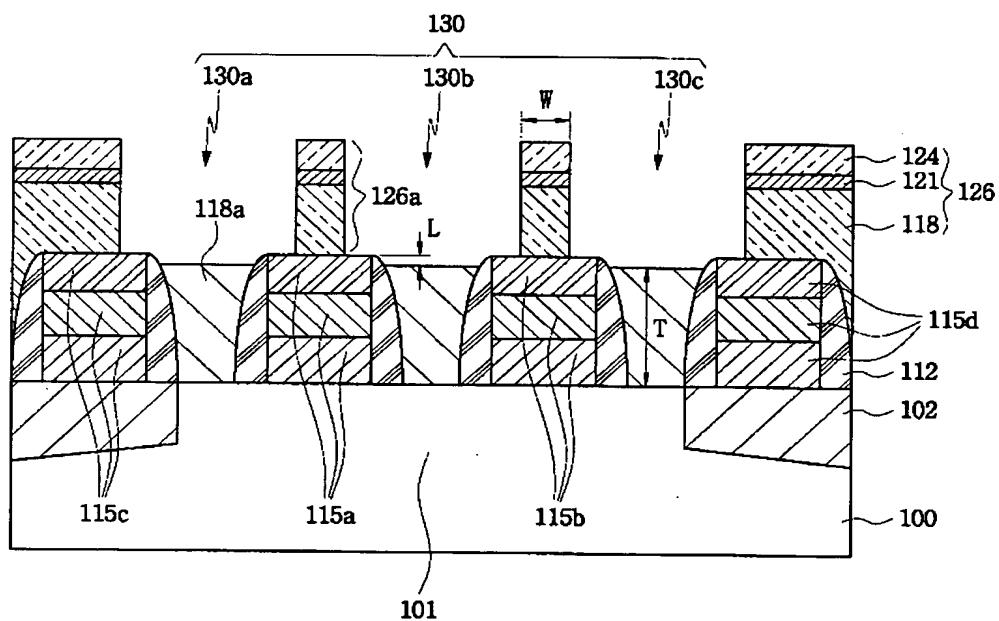
【도 7】



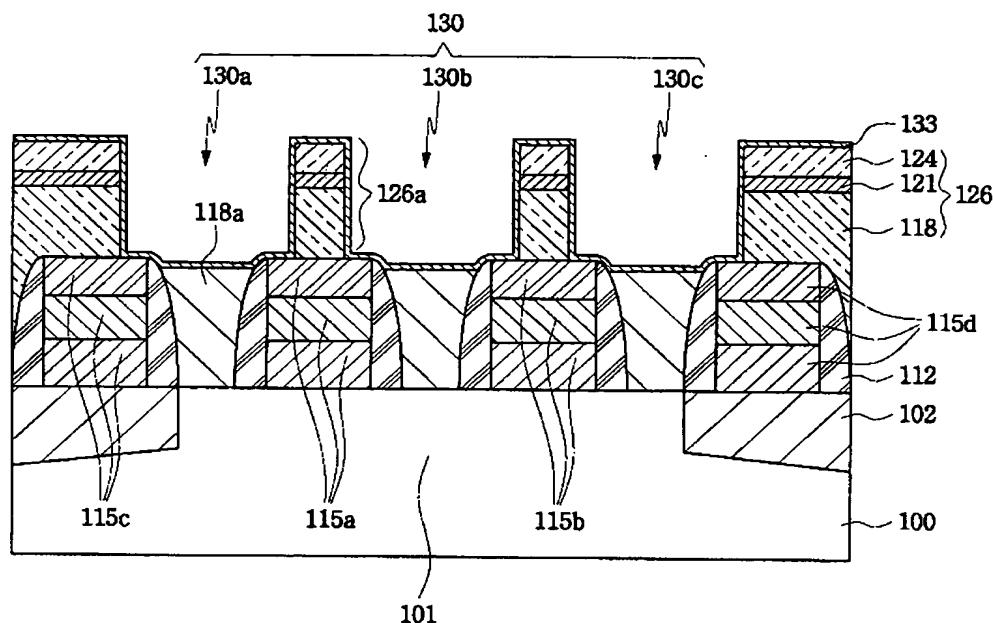
【도 8】



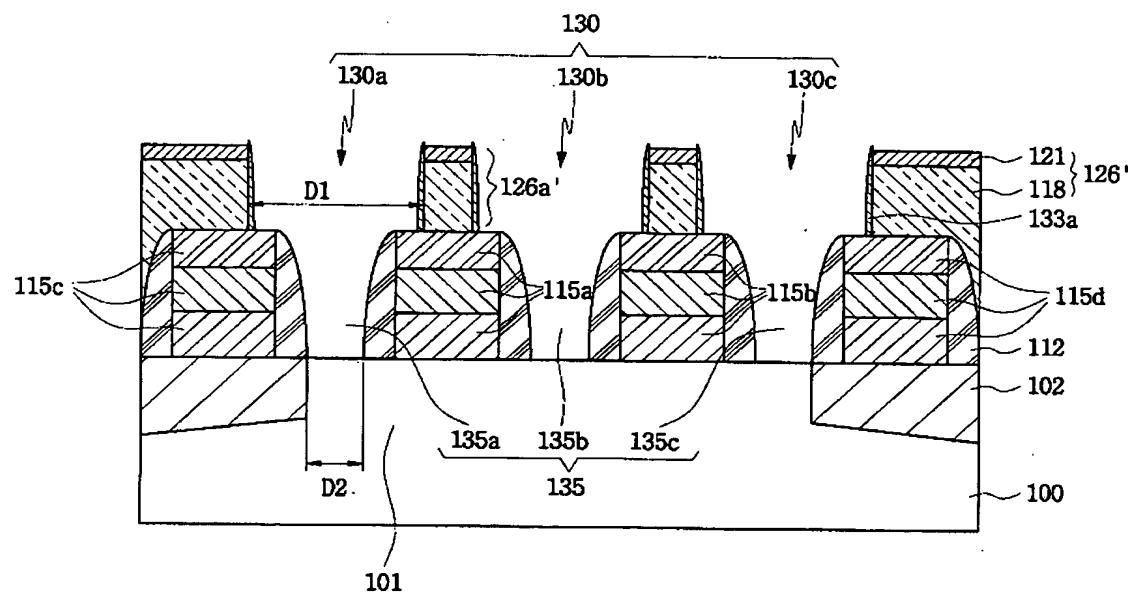
【도 9】



【도 10】



【도 11】



【도 12】

